

PAT-NO: JP02004159330A

DOCUMENT-IDENTIFIER: JP 2004159330 A

TITLE: IMAGE PROCESSING APPARATUS AND METHOD FOR
CONVERSION
IMAGE DATA OF
BETWEEN IMAGE DATA OF RASTER SCAN ORDER AND
BLOCK SCAN ORDER

PUBN-DATE: June 3, 2004

INVENTOR-INFORMATION:

NAME	COUNTRY
PARK, HYUN-SANG	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRONICS CO LTD	N/A

APPL-NO: JP2003374900

APPL-DATE: November 4, 2003

PRIORITY-DATA: 2002200268871 (November 7, 2002)

INT-CL (IPC): H04N001/41, G06T001/60, H04N001/21, H04N007/24

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an image processing apparatus and method for mutually converting image data between a raster format and a block format.

SOLUTION: In the image processing apparatus and method for mutually converting the image data between the raster format and the block format, particularly when converting the raster format into the block format, image data generated in a camera processor are separated by color components and stored in one line memory and afterwards, the data are read for the

unit of a
block and transmitted to a JPEG engine in the order suited to reading
in the
block format. The one integrated line memory is used to decrease a
size of a
memory, thereby decreasing a chip size.

COPYRIGHT: (C) 2004, JPO

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-159330

(P2004-159330A)

(43) 公開日 平成16年6月3日(2004.6.3)

(51) Int.Cl.⁷

H04N 1/41
G06T 1/60
H04N 1/21
H04N 7/24

F 1

H04N 1/41
G06T 1/60
H04N 1/21
H04N 7/13

テーマコード(参考)

5B047
5C059
5C073
5C078

審査請求 未請求 請求項の数 30 O L (全 22 頁)

(21) 出願番号 特願2003-374900(P2003-374900)
(22) 出願日 平成15年11月4日(2003.11.4)
(31) 優先権主張番号 2002-068871
(32) 優先日 平成14年11月7日(2002.11.7)
(33) 優先権主張国 韓国(KR)

(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞416
(74) 代理人 100064908
弁理士 志賀 正武
(74) 代理人 100089037
弁理士 渡邊 隆
(72) 発明者 朴 賢相
大韓民国忠清南道天安市新富洞85番地
ダエアアパート103棟108号
F ターム(参考) 5B047 CA21 CB25 EA02 EA09 EB12
EB13
5C059 LA04 MA00 MA23 PP16 UA02
UA36
5C073 AA01 AA04 BB02 CA01
5C078 BA57 CA27 CA34 DA01 DB16

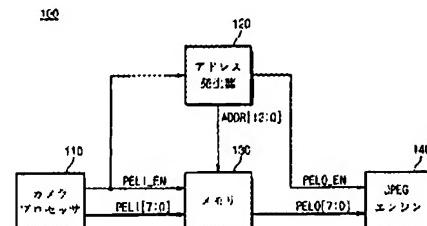
(54) 【発明の名称】ラスタスキャン順序の画像データとブロックスキャン順序の画像データとの間の変換のための画像処理装置及び方法

(57) 【要約】

【課題】 ラスタフォーマットとブロックフォーマットとの間の画像データを相互変換する画像処理装置及び方法を提供する。

【解決手段】 ラスタフォーマットとブロックフォーマットとの間の画像データを相互変換する画像処理装置及び方法は、特に、ラスタフォーマットをブロックフォーマットに転換する時に、カメラプロセッサで発生した画像データを各色成分別に分離して一つのラインメモリに貯蔵した後に、ブロックフォーマットに読み出しに適する順序にブロック単位に読み出してJPEGエンジンに伝達する。一つの統合ラインメモリを使用するので、メモリの大きさを減らすことができ、これによって、チップサイズを減少させることができる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

ラスタスキャン順序の画像データとブロックスキャン順序の画像データとを相互変換するための画像処理装置において、

所定の水平解像度及び垂直解像度を有するラスタスキャン順序の画像データを供給する画像データ処理器と、

複数のラインの画像データを貯蔵するためのラインメモリと、

前記ラインメモリに対する共通読み出し／書き込みアドレスを発生するアドレス発生ブロックと、

前記ラインメモリからブロックスキャン順序の画像データが伝達されるエンコーダとを含み、

前記アドレス発生ブロックは、

画像データの読み出し及び書き込みが行われるブロックのアドレスを発生するブロックアドレス発生器と、

前記ラインメモリに対する以前の共通読み出し／書き込みアドレスと現在の共通読み出し／書き込みアドレスとの間のラインオフセットを提供するラインオフセット発生器と、

前記ブロックアドレスと前記ラインオフセットに基づいて前記ラインメモリに対する前記共通読み出し／書き込みアドレスを発生するアドレス発生器とを含むことを特徴とする画像データ処理装置。

【請求項 2】

20

前記エンコーダは JPEG エンジンであることを特徴とする請求項 1 に記載の画像データ処理装置。

【請求項 3】

前記ブロックは {複数の水平方向ピクセル (h) * 複数の垂直方向ピクセル (v)} の画像データを含むことを特徴とする請求項 2 に記載の画像データ処理装置。

【請求項 4】

前記ブロックアドレス発生器は、

前記ラインメモリに対する現在のブロックの始まりアドレスと次のブロックの始まりアドレスとの間のオフセットであるブロックオフセットをさらに提供することを特徴とする請求項 3 に記載の画像データ処理装置。

30

【請求項 5】

前記ブロックオフセットは初期に 1 に設定されることを特徴とする請求項 4 に記載の画像データ処理装置。

【請求項 6】

前記ラインオフセットは初期に {水平解像度 (H) / h} に設定されることを特徴とする請求項 5 に記載の画像データ処理装置。

【請求項 7】

前記ラインオフセット発生器は、

前記ラインメモリに対する現在の共通読み出し／書き込みアドレスと次の共通読み出し／書き込みアドレスとの間のラインオフセットである次のラインオフセットをさらに発生することを特徴とする請求項 6 に記載の画像データ処理装置。

40

【請求項 8】

前記ブロックアドレスと前記次のラインオフセットは毎フェーズの始まりで各々リセットされることを特徴とする請求項 7 に記載の画像データ処理装置。

【請求項 9】

前記アドレス発生器は、

前記ブロックアドレスに基づいて前記ラインメモリに対するアンカアドレスをさらに発生し、

前記発生されたアンカアドレスから連続した h 個の前記共通読み出し／書き込みアドレスを発生することを特徴とする請求項 8 に記載の画像データ処理装置。

50

【請求項 10】

前記アドレス発生器は、

前記連続した h 個の共通読み出し／書き込みアドレスを発生した後に、前記アンカアドレスを前記ラインオフセットだけ増加させることを特徴とする請求項 9 に記載の画像データ処理装置。

【請求項 11】

前記アドレス発生器は、

前記ラインオフセットだけ増加した前記アンカアドレスが前記水平解像度 $H - 1$ より大きい時に、前記アンカアドレスを {水平解像度 (H) - 1} だけ減少させることを特徴とする請求項 10 に記載の画像データ処理装置。

10

【請求項 12】

前記ブロックアドレス発生器は、

一つのブロックに対する共通読み出し／書き込みアドレスを発生した後に、前記ブロックアドレスを前記ブロックオフセットだけ増加させることを特徴とする請求項 11 に記載の画像データ処理装置。

【請求項 13】

前記ブロックアドレス発生器は、

前記ブロックオフセットだけ増加した前記ブロックアドレスが前記水平解像度 $H - 1$ より大きい時に、前記ブロックアドレスを {水平解像度 (H) - 1} だけ減少させることを特徴とする請求項 12 に記載の画像データ処理装置。

20

【請求項 14】

前記ブロックオフセットは、毎フェーズの最後で前記ラインオフセットとして設定されることを特徴とする請求項 13 に記載の画像データ処理装置。

【請求項 15】

前記ラインオフセットは、前記毎フェーズの最後で前記次のラインオフセットとして設定されることを特徴とする請求項 14 に記載の画像データ処理装置。

【請求項 16】

一つのフェーズは H / h ブロックを含むことを特徴とする請求項 15 に記載の画像データ処理装置。

30

【請求項 17】

水平解像度が H であり、垂直解像度が V である画像データは V / v フェーズを含むことを特徴とする請求項 15 に記載の画像データ処理装置。

【請求項 18】

ラスタスキャン順序の画像データとブロックスキャン順序の画像データとを相互変換するための画像処理方法において、

水平解像度 (H) 及び垂直解像度 (V) を有するラスタスキャン順序の画像データが供給される段階と、

複数のライン (v) のラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスから $h * v$ ブロックスキャン順序の画像データを読み出す段階と、

40

前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタスキャン順序の画像データを貯蔵する段階と、

$h * v$ ブロックスキャン順序の画像データをエンコーダに伝達する段階とを含み、

前記共通読み出し／書き込みアドレスを発生する段階は、

(a) ブロックオフセットとラインオフセットを初期化する段階と、

(b) ブロックアドレスと次のラインオフセットを初期化する段階と、

(c) アンカアドレスを前記ブロックアドレスとして設定する段階と、

(d) 前記アンカアドレスから連続した h 個の共通読み出し／書き込みアドレスを発生する段階と、

50

- (e)前記アンカアドレスを前記ラインオフセットだけ増加させる段階と、
- (f)前記 $h * v$ ブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記 (d)～(e) 段階を繰り返す段階と、
- (g)前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、
- (h)前記次のラインオフセットを前記ラインオフセットだけ増加させる段階と、
- (i) H / h ブロックに対する画像データを全部処理するまで前記(c)～(h)段階を繰り返す段階と、
- (j)前記ブロックオフセットを前記ラインオフセットとして設定する段階と、
- (k)前記ラインオフセットを前記次のラインオフセットとして設定する段階と、
- (l)前記ラスタスキャン順序の画像データが供給される間、前記(b)～(k)段階を繰り返す段階とを含むことを特徴とする画像データ処理方法。 10

【請求項 19】

前記(e)段階で、前記ラインオフセットだけ増加したアンカアドレスが前記水平解像度 $H - 1$ と同一、または前記水平解像度 $H - 1$ より大きい時に、前記アンカアドレスを前記水平解像度 $H - 1$ だけ減少させる段階をさらに含むことを特徴とする請求項 18 に記載の画像データ処理方法。

【請求項 20】

前記(h)段階で、前記ブロックオフセットだけ増加したブロックアドレスが前記水平解像度 $H - 1$ と同一、または前記水平解像度 $H - 1$ より大きい時に、前記ブロックアドレスを前記水平解像度 $H - 1$ だけ減少させる段階をさらに含むことを特徴とする請求項 18 に記載の画像データ処理方法。 20

【請求項 21】

ラスタスキャン順序の画像データとブロックスキャン順序の画像データとを相互変換するための画像処理方法において、

水平解像度(H)及び垂直解像度(v)を有するラスタスキャン順序の画像データが供給される段階と、

複数のライン(v)のラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスから $h * v$ ブロックスキャン順序の画像データを読み出す段階と、 30

前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタスキャン順序の画像データを貯蔵する段階と、

$h * v$ ブロックスキャン順序の画像データをエンコーダに伝達する段階とを含み、

前記共通読み出し／書き込みアドレスを発生する段階は、

- (a)ブロックオフセットとラインオフセットを初期化する段階と、
- (b)ブロックオフセット * $i +$ ラインオフセット * $v v$ (ここで、 i は v ラインの画像データのブロック順序を表示することとして、0 から $(H / h) - 1$ まで順次に増加し、 $v v$ はブロックのライン数を表示することとして、 i に対して 0 から $v - 1$ まで順次に増加する)を水平解像度 $H - 1$ で割った余りに与えられるアンカアドレスを生成する段階と、 40

(c)前記アンカアドレス * h から連続した h 個の共通読み出し／書き込みアドレスを発生する段階と、

(d)前記 $h * v$ ブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記(b)～(c)段階とを繰り返す段階と、

(e)前記 i が 0 から $v - 1$ まで順次に増加するまで前記(b)～(c)段階を繰り返す段階と、

(f)前記ブロックオフセットを前記ラインオフセットとして設定する段階と、

(g)(ラインオフセット * H / h)を前記水平解像度 $H - 1$ で割った余りを前記ラインオフセットとして設定する段階と、

(h)前記ラスタスキャン順序の画像データが供給される間、前記(b)～(g)段階を繰り 50

返す段階とを含むことを特徴とする画像データ処理方法。

【請求項 2 2】

ラスタスキャン順序の画像データとブロックスキャン順序の画像データとを相互変換するための画像処理方法において、

水平解像度(H)及び垂直解像度(V)を有するラスタスキャン順序の画像データが供給される段階と、

複数のライン(v)のラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスから $h * v$ ブロックスキャン順序の画像データを読み出す段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタスキャン順序の画像データを貯蔵する段階と、

$h * v$ ブロックスキャン順序の画像データをエンコーダに伝達する段階とを含み、

前記共通読み出し／書き込みアドレスを発生する段階は、

(a) ブロックオフセットとラインオフセットを初期化する段階と、

(b) ブロックアドレスを初期化する段階と、

(c) ラインアドレスを初期化する段階と、

(d) 前記ブロックアドレスと前記ラインアドレスとの合計を前記水平解像度 H - 1 で割った余りに与えられるアンカアドレスを生成する段階と、

(e) 前記アンカアドレス * h から連続された h 個の共通読み出し／書き込みアドレスを発生する段階と、

(f) 前記ラインアドレスを前記ラインオフセットだけ増加させる段階と、

(g) 前記 $h * v$ ブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記(d)～(f)段階を繰り返す段階と、

(h) 前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、

(i) H / h ブロックに対する画像データを全部処理するまで前記(c)～(h)段階を繰り返す段階と、

(j) 前記ブロックオフセットを前記ラインオフセットとして設定する段階と、

(k) 前記ラインオフセット * H / h を前記水平解像度 H - 1 で割った余りを前記ラインオフセットとして設定する段階と、

(l) 前記ラスタスキャン順序の画像データが供給される間、前記(b)～(k)段階を繰り返す段階とを含むことを特徴とする画像データ処理方法。

【請求項 2 3】

ラスタスキャン順序の画像データとブロックスキャン順序の画像データとを相互変換するための画像処理方法において、

水平解像度(H)及び垂直解像度(V)を有するラスタスキャン順序の画像データが供給される段階と、

複数のライン(v)のラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスから $h * v$ ブロックスキャン順序の画像データを読み出す段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタスキャン順序の画像データを貯蔵する段階と、

$h * v$ ブロックスキャン順序の画像データをエンコーダに伝達する段階とを含み、

前記共通読み出し／書き込みアドレスを発生する段階は、

(a) ブロックオフセットとラインオフセットを初期化する段階と、

(b) ブロックアドレスを初期化する段階と、

(c) ラインアドレスを初期化する段階と、

(d) 前記ブロックアドレスと前記ラインアドレスに基づいてアンカアドレスを生成する段階と、

10

20

30

40

50

(e) 前記アンカアドレス * h から連続した h 個の共通読み出し／書き込みアドレスを発生する段階と、

(f) 前記ラインアドレスを前記ラインオフセットだけ増加させる段階と、

(g) 前記 h * v ブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記(d)～(f)段階を繰り返す段階と、

(h) 前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、

(i) H / h ブロックに対する画像データを全部処理するまで前記(c)～(h)段階を繰り返す段階と、

(j) 前記ブロックオフセットを前記ラインオフセットとして設定する段階と、

(k) 前記ラインオフセット * H / h を前記ラインオフセットとして設定する段階と、

(l) 前記ラスタスキャン順序の画像データが供給される間前記(b)～(k)段階を繰り返す段階とを含むことを特徴とする画像データ処理方法。

【請求項 24】

前記(d)段階で、前記生成されたアンカアドレスが前記水平解像度 H - 1 と同一、または前記水平解像度 H - 1 より大きい時に、前記アンカアドレスを前記水平解像度 H - 1 だけ減少させる段階をさらに含むことを特徴とする請求項 23 に記載の画像データ処理方法。

【請求項 25】

前記(f)段階で、前記増加したラインアドレスが前記水平解像度 H - 1 と同一、または前記水平解像度 H - 1 より大きい時に、前記ラインアドレスを前記水平解像度 H - 1 だけ減少させる段階をさらに含むことを特徴とする請求項 23 に記載の画像データ処理方法。

【請求項 26】

前記(h)段階で、前記増加したブロックアドレスが前記水平解像度 H - 1 と同一、または前記水平解像度 H - 1 より大きい時に、前記ブロックアドレスを前記水平解像度 H - 1 だけ減少させる段階をさらに含むことを特徴とする請求項 23 に記載の画像データ処理方法。

【請求項 27】

前記(k)段階で、前記設定されたラインオフセットが前記水平解像度 H - 1 と同一、または前記水平解像度 H - 1 より大きい時に、前記ラインオフセットを前記水平解像度 H - 1 で割った余りを前記ラインオフセットとして設定する段階をさらに含むことを特徴とする請求項 23 に記載の画像データ処理方法。

【請求項 28】

ラスタスキャン順序の画像データとブロックスキャン順序の画像データとを相互変換するための画像処理方法において、

水平解像度(H)及び垂直解像度(V)を有するラスタスキャン順序の画像データが供給される段階と、

複数のライン(v)のラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスから h * v ブロックスキャン順序の画像データを読み出す段階と、

前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタスキャン順序の画像データを貯蔵する段階と、

h * v ブロックスキャン順序の画像データをエンコーダに伝達する段階とを含み、

前記共通読み出し／書き込みアドレスを発生する段階は、

(a) ブロックオフセットとラインオフセットを初期化する段階と、

(b) ブロックアドレスを初期化する段階と、

(c) アンカアドレスをブロックアドレスとして設定する段階と、

(d) 前記アンカアドレス * h から連続した h 個の共通読み出し／書き込みアドレスを発生する段階と、

(e) 前記アンカアドレスを前記ラインオフセットだけ増加させる段階と、

10

20

30

40

50

(f) 前記 $h * v$ ブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記(d)～(e)段階を繰り返す段階と、

(g) 前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、

(h) H / h ブロックに対する画像データを全部処理するまで前記(c)～(g)段階を繰り返す段階と、

(i) 前記ブロックオフセットを前記ラインオフセットとして設定する段階と、

(j) ($ラインオフセット * H / h$)を前記水平解像度 $H - 1$ で割った余りを前記ラインオフセットとして設定する段階と、

(k) 前記ラスタスキャン順序の画像データが供給される間に、前記(b)～(j)段階を繰り返す段階とを含むことを特徴とする画像データ処理方法。 10

【請求項 29】

前記(e)段階で、前記増加したアンカアドレスが前記水平解像度 $H - 1$ と同一、または前記水平解像度 $H - 1$ より大きい時に、前記アンカアドレスを前記水平解像度 $H - 1$ だけ減少させる段階をさらに含むことを特徴とする請求項 28 に記載の画像データ処理方法。

【請求項 30】

前記(g)段階で、前記増加したブロックアドレスが前記水平解像度 $H - 1$ と同一、または前記水平解像度 $H - 1$ より大きい時に、前記ブロックアドレスを前記水平解像度 $H - 1$ だけ減少させる段階をさらに含むことを特徴とする請求項 29 に記載の画像データ処理方法。 20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像処理装置及び方法に関するものであり、さらに具体的には、一つのラインメモリを使用してラスタスキャン順序の画像データとブロックスキャン順序の画像データとの間の相互変換を処理する画像処理装置及び方法に関するものである。 30

【背景技術】

【0002】

よく知られたように、JPEG (Joint Photographic Experts Group) はデータ圧縮のために離散コサイン変換 (Discrete Cosine Transform: DCT) を使用する。DCT 圧縮技術は、データを 8 ピクセル * 8 ピクセル単位のブロックで分けてデータを処理する。しかし、カメラの画像処理部はデータをライン単位に、すなわち、ラスタフォーマット (ラスタスキャン順序: 一画像全体に対して左から右に、上から下に) 連続して出力する。したがって、ラスタスキャン順序の画像データをブロックスキャン順序に変換するためには、最小 8 ラインの画像データを貯蔵することができるラインメモリが必要である。8 ラインが貯蔵されたラインメモリから 8 * 8 ピクセルの画像ブロックを作る間、カメラの画像処理部は新しい画像データを出力するので、連続的な処理のためには、8 ラインのラインメモリがさらに必要である。すなわち、一つのラインメモリに画像データが書き込まれる間、他のラインメモリに貯蔵された画像データに対する 8 * 8 ブロック読み出しが行われる。画像データは輝度成分 Y と色差成分 U 及び V で構成されているので、これら各々の成分に対して二つのラインメモリが必要である。 40

【0003】

図 1 は通常の VGA (Variable Graphics Array) 標準の画像処理装置を概略的に示したブロック図として、但し、輝度成分 Y に対するラインメモリシステムを示す。カメラプロセッサ 10 で一番目の 8 ラインの輝度 Y 成分が output されて、ラインメモリ _ Y 0 (20) に順次に貯蔵される。二番目の 8 ラインの輝度成分 Y がラインメモリ _ Y 1 (40) に順次に貯蔵されると同時に、ラインメモリ _ Y 0 (20) に対する 8 * 8 ブロック単位読み出しが行われる。この時に、マルチプレクサ 50 はアドレス発生回路 30 の制御に応答してラインメモリ _ Y 0 (12) から読み出された 8 * 8 画像ブロックを JPEG エンジン 22 に伝達する。ラインメモリ 20, 40 に対する書き込み及び読み出 50

しアドレスはアドレス発生回路30で生成される。

【0004】

図2はカメラプロセッサ10からの画像データがラスタスキャン順序にラインメモリに書き込まれることを示し、図3はラインメモリに貯蔵された画像データがブロックスキャン順序に読み出されることを示す。図2乃至図3で、Hは水平方向ピクセル数、Vは垂直方向ピクセル数を示す。一つのラインメモリにはフェーズ、すなわち、 $H * 8$ ピクセルが貯蔵される。例えば、Phase0では0番目のピクセルから $H * 8 - 1$ 番目のピクセルまでラインメモリに貯蔵され、Phase1では $H * 8$ 番目のピクセルから $H * 8 * 2 - 1$ 番目のピクセルまでラインメモリに貯蔵される。

10

【0005】

再び、図1を参照すると、ラインメモリ20、40に対する書き込みアドレスは0から $H * 8 - 1$ (ここで、Hは水平解像度)まで順次に増加する。解像度が $640 * 480$ であるVGA標準の画像処理装置でラインメモリ20、40に対する書き込みアドレスは0から $640 * 8 - 1$ まで順次に増加する。

【0006】

ブロック単位読み出しのためのラインメモリに対する読み出しアドレスaddrは以下の数式1に記載したアルゴリズムに従って決められる。

【0007】

(数式1)

```

for (i = 0; i < H/v; i++) {
    for (vv = 0; vv < v; vv++) {
        for (hh = 0; hh < h; hh++) {
            addr = vv * H + i * v + hh
        }
    }
}

```

20

【0008】

読み出しアドレスaddrは以下の数式2に記載したアルゴリズムに従って求められる。

【0009】

(数式2)

```

for (i = 0; i < H/v; i++) {
    for (vv = 0; vv < v; vv++) {
        anchor = (vv * H + i) << 3;
        for (hh = 0; hh < h; hh++) {
            addr = anchor + hh
        }
    }
}

```

30

【0010】

ここで、Hは水平方向ピクセル数(例えば、640)を示し、v(例えば、8)は一つのブロックに含まれるラインの数、そしてhは一つのブロックに含まれる水平方向ピクセルの数(例えば、8)を示し、iはブロック順序を、vvは一ブロックで垂直方向ピクセル(ライン)を、hhは一つのブロックで水平方向ピクセルを示す変数である。

40

【0011】

三番目のフェーズで、8ラインの輝度成分Yが書き込みアドレスaddrを参照してラインメモリ...Y0(20)に貯蔵される時に、ラインメモリ...Y1(40)からブロック単位読み出しが行われ、読み出されたブロックがマルチプレクサ50を通じてJPEGエンジン60に伝達される。

【0012】

このような通常の画像処理方法は各色成分に対して二つのラインメモリを使用する。例 50

えば、VGA 標準の場合に、輝度成分 Y に対して $640 * 8$ バイトのラインメモリを二つ使用する。したがって、システムの低電力化のために、メモリをチップに内蔵する場合に、チップの大きさが増加する問題点が発生する。特に、処理しようとする画像の大きさが増加すれば増加するほどその問題はさらに深刻になる。

【発明の開示】

【発明が解決しようとする課題】

【0013】

本発明の目的は、ラインメモリの大きさを減少させることができるラスタスキャン順序とブロックスキャン順序との間の画像データを相互変換する画像処理装置を提供することにある。

10

【0014】

本発明の他の目的は、一つのラインメモリを使用してラスタスキャン順序とブロックスキャン順序と間の画像データを相互変換するアドレス発生器を提供することにある。

【0015】

本発明のまた他の目的は、ラインメモリの大きさを減少させることができるラスタスキャン順序とブロックスキャン順序との間の画像データを相互変換する画像処理方法を提供することにある。

【課題を解決するための手段】

【0016】

上述のような目的を達成するために本発明の画像データ処理装置は、所定の水平解像度及び垂直解像度を有するラスタスキャン順序の画像データを供給する画像データ処理器と、複数のライン v の画像データを貯蔵するためのラインメモリと、前記ラインメモリに対する共通読み出し／書き込みアドレスを発生するアドレス発生ブロック及び前記ラインメモリから $h * v$ ブロックスキャン順序の画像データが伝達されるエンコーダとを含む。前記アドレス発生ブロックは、画像データの読み出し及び書き込みが行われるブロックのアドレスを発生するブロックアドレス発生器と、前記ラインメモリに対する以前の共通読み出し／書き込みアドレスと現在の共通読み出し／書き込みアドレスとの間のラインオフセットを提供するラインオフセット発生器と、前記ブロックアドレスと前記ラインオフセットに基づいて前記ラインメモリに対する前記共通読み出し／書き込みアドレスを発生するアドレス発生器とを含む。

20

【0017】

望ましい実施形態において、前記エンコーダは JPEG エンジンである。

【0018】

望ましい実施形態において、前記ブロックは画像データ $h * v$ を含む。

【0019】

この実施形態において、前記ブロックアドレス発生器は、前記ラインメモリに対する現在のブロックの始まりアドレスと次のブロックの始まりアドレスとの間のオフセットであるブロックオフセットをさらに提供する。前記ブロックオフセットは初期に 1 に設定される。前記ラインオフセットは初期に {水平解像度 (H) / 8} に設定される。前記ラインオフセット発生器は、前記ラインメモリに対する現在の共通読み出し／書き込みアドレスと次の共通読み出し／書き込みアドレスとの間のラインオフセットである次のラインオフセットをさらに発生する。前記ブロックアドレスと前記次のラインオフセットは毎フェーズの始まりで各々リセットされる。

40

【0020】

この実施形態において、前記アドレス発生器は、前記ブロックアドレスに基づいて前記ラインメモリに対するアンカアドレスをさらに発生し、前記発生されたアンカアドレスから連続した h 個の前記共通読み出し／書き込みアドレスを発生する。前記アドレス発生器は、前記連続した h 個の共通読み出し／書き込みアドレスを発生した後に、前記アンカアドレスを前記ラインオフセットだけ増加させ、前記ラインオフセットだけ増加した前記アンカアドレスが {水平解像度 (H) - 1} より大きい時に、前記アンカアドレスを前記水平解

50

像度H-1だけ減少させる。

【0021】

この実施形態において、前記ブロックアドレス発生器は、一つのブロックに対する共通読み出し／書き込みアドレスを発生した後に、前記ブロックアドレスを前記ブロックオフセットだけ増加させ、前記ブロックオフセットだけ増加した前記ブロックアドレスが前記水平解像度H-1より大きい時に、前記ブロックアドレスを{水平解像度(H)-1}だけ減少させる。前記ブロックオフセットは、毎フェーズの最後で前記ラインオフセットとして設定される。前記ラインオフセットは、前記毎フェーズの最後で前記次のラインオフセットとして設定される。

【0022】

10

この実施形態において、一つのフェーズはH/hブロックを含む。

【0023】

望ましい実施形態において、水平解像度がHであり、垂直解像度がVである画像データはV/vフェーズを含む。

【0024】

20

本発明の他の特徴によると、ラスタスキャン順序の画像データとブロックスキャン順序の画像データとの相互変換のための画像処理方法は、水平解像度H及び垂直解像度Vを有するラスタスキャン順序の画像データが供給される段階と、複数のラインvのラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、前記ラインメモリの前記共通読み出し／書き込みアドレスからh*vブロックスキャン順序の画像データを読み出す段階と、前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタスキャン順序の画像データを貯蔵する段階と、h*vブロックスキャン順序の画像データをエンコーダに伝達する段階とを含む。前記共通読み出し／書き込みアドレスを発生する段階は、(a)ブロックオフセットとラインオフセットを初期化する段階と、(b)ブロックアドレスと次のラインオフセットを初期化する段階と、(c)アンカアドレスを前記ブロックアドレスとして設定する段階と、(d)前記アンカアドレスから連続したh個の共通読み出し／書き込みアドレスを発生する段階と、(e)前記アンカアドレスを前記ラインオフセットだけ増加させる段階と、(f)前記h*vブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記(d)～(e)段階を繰り返す段階と、(g)前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、(h)前記次のラインオフセットを前記ラインオフセットだけ増加させる段階と、(i)H/hブロックに対する画像データを全部処理するまで前記(c)～(h)段階を繰り返す段階と、(j)前記ブロックオフセットを前記ラインオフセットとして設定する段階と、(k)前記ラインオフセットを前記次のラインオフセットとして設定する段階と、(l)前記ラスタスキャン順序の画像データが供給される間、前記(b)～(k)段階を繰り返す段階とを含む。

30

【0025】

望ましい実施形態において、前記(e)段階で、前記ラインオフセットだけ増加したアンカアドレスが前記水平解像度H-1と同一、または前記水平解像度H-1より大きい時に、前記アンカアドレスを前記水平解像度H-1だけ減少させる段階をさらに含む。

40

【0026】

望ましい実施形態において、前記(h)段階で、前記ブロックオフセットだけ増加したブロックアドレスが{水平解像度(H)-1}と同一、または{水平解像度(H)-1}より大きい時に、前記ブロックアドレスを{水平解像度(H)-1}だけ減少させる段階をさらに含む。

【0027】

50

本発明のまた他の特徴によると、ラスタスキャン順序の画像データとブロックスキャン順序の画像データとの相互変換のための画像処理方法は、水平解像度H及び垂直解像度Vを有するラスタスキャン順序の画像データが供給される段階と、複数のラインvのラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、前記ラインメモリの前記共通読み出し／書き込みアドレスからh*vブロックスキャン順序の画像データを読み出す段階と、前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタス

キャン順序の画像データを貯蔵する段階と、 $h * v$ ブロックスキャン順序の画像データをエンコーダに伝達する段階とを含む。前記共通読み出し／書き込みアドレスを発生する段階は、(a) ブロックオフセットとラインオフセットを初期化する段階と、(b) (ブロックオフセット * i + ラインオフセット * v v) (ここで、i は v ラインの画像データのブロック順序を表示することとして、0 から $(H/h) - 1$ まで順次に増加し、v v はブロックのライン数を表示することとして、i に対して 0 から v - 1 まで順次に増加し) を水平解像度 H - 1 で割った余りに与えられるアンカアドレスを生成する段階と、(c) 前記アンカアドレス * h から連続した h 個の共通読み出し／書き込みアドレスを発生する段階と、(d) 前記 $h * v$ ブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記(b)～(c) 段階を繰り返す段階と、(e) 前記 i が 0 から $(H/h) - 1$ まで順次に増加するまで前記(b)～(c) 段階を繰り返す段階と、(f) 前記ブロックオフセットを前記ラインオフセットとして設定する段階と、(g) (ラインオフセット * H / h) を前記水平解像度 H - 1 で割った余りを前記ラインオフセットとして設定する段階と、(h) 前記ラスタスキャン順序の画像データが供給される間、前記(b)～(g) 段階を繰り返す段階とを含む。

10

【0028】

本発明の他の特徴によると、ラスタスキャン順序の画像データとブロックスキャン順序の画像データとの相互変換のための画像処理方法の共通読み出し／書き込みアドレスを発生する段階は、(a) ブロックオフセットとラインオフセットを初期化する段階と、(b) ブロックアドレスを初期化する段階と、(c) ラインアドレスを初期化する段階と、(d) 前記ブロックアドレスと前記ラインアドレスとの合計を {水平解像度(H) - 1} で割った余りに与えられるアンカアドレスを生成する段階と、(e) 前記アンカアドレス * h から連続した h 個の共通読み出し／書き込みアドレスを発生する段階と、(f) 前記ラインアドレスを前記ラインオフセットだけ増加させる段階と、(g) 前記 $h * v$ ブロックに対する前記共通読み出し／書き込みアドレスが全部発生するまで前記(d)～(f) 段階を繰り返す段階と、(h) 前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、(i) H/h ブロックに対する画像データを全部処理するまで前記(c)～(h) 段階を繰り返す段階と、(j) 前記ブロックオフセットを前記ラインオフセットとして設定する段階と、(k) 前記ラインオフセット * H / h を前記水平解像度 H - 1 で割った余りを前記ラインオフセットとして設定する段階と、(l) 前記ラスタスキャン順序の画像データが供給される間、前記(b)～(k) 段階を繰り返す段階とを含む。

20

【0029】

本発明のまた他の目的を達成するためのラスタスキャン順序の画像データとブロックスキャン順序の画像データとの相互変換のための画像処理方法の共通読み出し／書き込みアドレスを発生する段階は、(a) ブロックオフセットとラインオフセットを初期化する段階と、(b) ブロックアドレスを初期化する段階と、(c) ラインアドレスを初期化する段階と、(d) 前記ブロックアドレスと前記ラインアドレスに基づいてアンカアドレスを生成する段階と、(e) 前記アンカアドレス * h から連続した h 個の共通読み出し／書き込みアドレスを発生する段階と、(f) 前記ラインアドレスを前記ラインオフセットだけ増加させる段階と、(g) 前記 $h * v$ ブロックに対する前記共通読み出し／書き込みアドレスが全部発生するまで前記(d)～(f) 段階を繰り返す段階と、(h) 前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、(i) H/h ブロックに対する画像データを全部処理するまで前記(c)～(h) 段階を繰り返す段階と、(j) 前記ブロックオフセットを前記ラインオフセットとして設定する段階と、(k) 前記ラインオフセット * H / h を前記ラインオフセットとして設定する段階と、(l) 前記ラスタスキャン順序の画像データが供給される間、前記(b)～(k) 段階を繰り返す段階とを含む。

30

【0030】

前記方法において、前記(d) 段階で、前記生成されたアンカアドレスが {水平解像度 H - 1} と同一、または {水平解像度 H - 1} より大きい時に、前記アンカアドレスを前記水平解像度 H - 1 だけ減少させる段階をさらに含む。

40

【0031】

50

望ましい実施形態において、前記(f)段階で、前記増加したラインアドレスが{水平解像度H-1}と同一、または{水平解像度H-1}より大きい時に、前記ラインアドレスを前記水平解像度H-1だけ減少させる段階をさらに含む。

【0032】

望ましい実施形態において、前記(h)段階で、前記増加したブロックアドレスが前記水平解像度H-1と同一、または前記水平解像度H-1より大きい時に、前記ブロックアドレスを前記水平解像度H-1だけ減少させる段階をさらに含む。前記(k)段階で、前記設定されたラインオフセットが{水平解像度H-1}と同一、または{水平解像度H-1}より大きい時に、前記ラインオフセットを{水平解像度H-1}で割った余りを前記ラインオフセットとして設定する段階をさらに含む。

10

【0033】

本発明の他の特徴によると、ラスタスキャン順序の画像データとブロックスキャン順序の画像データとの相互変換のための画像処理方法は、水平解像度H及び垂直解像度Vを有するラスタスキャン順序の画像データが供給される段階と、複数のラインvのラインメモリに対する共通読み出し／書き込みアドレスを発生する段階と、前記ラインメモリの前記共通読み出し／書き込みアドレスからh*vブロックスキャン順序の画像データを読み出す段階と、前記ラインメモリの前記共通読み出し／書き込みアドレスに前記ラスタスキャン順序の画像データを貯蔵する段階と、h*vブロックスキャン順序の画像データをエンコーダに伝達する段階とを含む。前記共通読み出し／書き込みアドレスを発生する段階は、(a)ブロックオフセットとラインオフセットを初期化する段階と、(b)ブロックアドレスを初期化する段階と、(c)アンカアドレスをブロックアドレスとして設定する段階と、(d)前記アンカアドレス*hから連続したh個の共通読み出し／書き込みアドレスを発生する段階と、(e)前記アンカアドレスを前記ラインオフセットだけ増加させる段階と、(f)前記h*vブロックに対する前記共通読み出し／書き込みアドレスが全部発生されるまで前記(d)～(e)段階を繰り返す段階と、(g)前記ブロックアドレスを前記ブロックオフセットだけ増加させる段階と、(h)H/hブロックに対する画像データを全部処理するまで前記(c)～(g)段階を繰り返す段階と、(i)前記ブロックオフセットを前記ラインオフセットとして設定する段階と、(j)(ラインオフセット*h/H)を前記水平解像度H-1で割った余りを前記ラインオフセットとして設定する段階と、(k)前記ラスタスキャン順序の画像データが供給される間、前記(b)～(j k)段階を繰り返す段階とを含む。

20

【0034】

望ましい実施形態において、前記(e)段階で、前記増加したアンカアドレスが{水平解像度H-1}と同一、または{水平解像度H-1}より大きい時に、前記アンカアドレスを{水平解像度H-1}だけ減少させる段階をさらに含む。

30

【0035】

望ましい実施形態において、前記(g)段階で、前記増加したブロックアドレスが{水平解像度H-1}と同一、または{水平解像度H-1}より大きい時に、前記ブロックアドレスを前記{水平解像度H-1}だけ減少させる段階をさらに含む。

40

【0036】

上述のような画像処理装置及び方法は、特に、ラスタフォーマットをブロックフォーマットに転換する時に、カメラプロセッサで発生した画像データを各色成分別に分離して、一つのラインメモリに貯蔵した後に、ブロックフォーマットに読み出すのに適する順序にブロック単位に読み出して、JPEGエンジンに伝達する。一つの統合ラインメモリを使用するので、メモリのサイズを減らすことができ、これによって、チップサイズを減少させることができる。

【発明の効果】

【0037】

本発明によると、色成分ごとに、一つのラインメモリを使用することによって、ラインメモリサイズが減少する。したがって、チップに内臓時、小さいサイズのチップを得ることができ、システムの低電力化を図ることができる。

50

【発明を実施するための最良の形態】

【0038】

以下、本発明の望ましい実施形態を添付の図面を参照して詳細に説明する。図4は本発明の望ましい実施形態による画像データ処理装置を示すブロック図である。図4を参照すると、本発明の画像データ処理装置100はカメラプロセッサ110、アドレス発生器120、単一ラインメモリ130及びJPEGエンジン140を含む。

【0039】

カメラプロセッサ110はラスタスキャン順に画像データを出力する。画像データは輝度成分Yと色差成分U、Vを含み、図面には但し、輝度成分Yのためのラインメモリ_Y130を示した。カメラプロセッサ110はクロック信号に同期化して画像データを出力し、出力された輝度成分Yはラインメモリ_Y130に貯蔵される。処理しようとする画像データがH*Vの解像度を有し、JPEGエンジン140がh*vブロック単位に画像データを処理する場合には、ラインメモリ_Y130はH*vバイトのサイズを有する。例えば、JPEG圧縮方式の場合に、h=v=8である。以下では、VGA標準でhとvが8である場合を例としてあげて説明する。

10

【0040】

アドレス発生回路120はラインメモリ_Y130に対する共通読み出し/書き込みアドレスを発生する。本発明によると、ラインメモリ_Y130に対する読み出しアドレスと書き込みアドレスが同一である。すなわち、読み出し動作のためにアドレスを印加したメモリセルに書き込み動作が同時に実行される。これは図5に示したタイミング図を参照して説明される。

20

【0041】

図4及び図5を参照すると、カメラプロセッサ110から提供された入力イネーブル信号PELI_ENがアクティブハイであれば、ラインメモリ_Y130の共通読み出し/書き込みアドレスADDRに貯蔵された画像データが読み出される。ラインメモリ_Y130から読み出された画像データは出力イネーブル信号PEL0_ENがアクティブハイである時に、JPEGエンジン140に提供される。一方、入力イネーブル信号PELI_ENがアクティブローである時に、カメラプロセッサ110から提供された画像データPELI[7,0]がラインメモリ_Y130に書き込まれる。この時に、画像データPELI[7,0]が書き込まれるラインメモリ_Y130のアドレスはアドレス発生回路120で発生された共通読み出し/書き込みアドレスADDRである。ラインメモリ_Y130はH*8すなわち、 $640 * 8 = 5120$ 個のピクセルデータを貯蔵するので、一フェーズでラインメモリ_Y130から、0番目のピクセルデータから $640 * 8 - 1 = 5119$ 番目のピクセルデータまでが読み出される時に、カメラプロセッサ110からの5120番目のピクセルデータから4299番目のピクセルデータまでがラインメモリ_Y130に貯蔵される。

30

【0042】

具体的に、共通読み出し/書き込みアドレスADDRは以下の式によって生成される。

【0043】

(式3)

40

```

n_o_h_o_r_b_k = 640 >> 3;
n_o_s_i_z_e = n_o_h_o_r_b_k << 3 - 1;
b_l_o_c_k_o_f_f_s_e_t = 1;
l_i_n_e_o_f_f_s_e_t = n_o_h_o_r_b_k;

w_h_i_l_e(!f_i_n_i_s_h_e_d){
    a_n_c_h_o_r = 0;
    b_l_o_c_k_a_d_d_r = 0;
    n_e_x_t_l_i_n_e_o_f_f_s_e_t = 0;
}

```

50

```

for(i = 0, i < no_hor_bk, i++){
    anchor = block_addr;
    for(vv = 0; vv < 8; vv++){
        for(hh = 0; hh < 8; hh++){
            addr = anchor << 3 + hh;
        }
        anchor += line_offset;
        anchor -= no_size(if anchor
>= no_size);
    }
    block_addr += block_offset;
    block_addr -= no_size(if block_addr >= no_size);
    next_line_offset += line_offset;
    next_line_offset -= no_size(if next_line_offset >= no_size);
}
block_offset = line_offset;
line_offset = next_line_offset
;
}

【0044】

```

10

ここで、addrは共通書き込み／読み出しアドレスADDRであり、iはブロックインデックス、hhは水平方向インデックス、vvは垂直方向インデックスである。no_hor_bkは…フェーズに属するブロックの数H/h=640/8であり、no_sizeは水平方向ピクセルの数-1を示す。前記式3で640に代えて他の値を使用すれば、処理しようとする画像の大きさに対応する共通読み出し／書き込みアドレスが生成される。

【0045】

30

このような共通読み出し／書き込みアドレスADDRを発生するために本発明のアドレス発生回路120は図6に示したような構成を有する。

【0046】

図6を参照すると、アドレス発生回路120は、二つのカウンタ201、202、アドレス発生器210、ラインオフセット発生器220、及びブロックアドレス発生器230を含む。この実施形態で、各構成要素の大きさ及び固有の数字はVGA標準に従って決められ、他の標準では異なって設定されることがよく理解されるであろう。

【0047】

40

カウンタ_hv201は6ビットカウンタで構成される。カウンタ_hv201はカメラプロセッサ110からの入力イネーブル信号PEL1_ENがアクティブされるごとに1だけずつ増加する。カウンタ_hv201の上位3ビットは垂直方向インデックスvvを、そして下位3ビットは水平方向インデックスhhを提供する。垂直方向インデックスvvはラインメモリのラインを指定するために0から8まで変化し、水平方向インデックスhhは水平方向ピクセルを指定するために0から8まで変化する。カウンタ_bk202は10ビットカウンタで構成され、カウンタ_hv201からのオーバーフロー信号OVERFLOWがアクティブされるごとに1ずつ増加する。カウンタ_bk202はフェーズに属するブロックを指定するために0から640(=H/h*V=640/8*8)まで変化するブロックインデックスiを提供する。

【0048】

アドレス発生器210はマルチプレクサ211、次のアンカ(anchor)アドレスレジスタ

50

212、アンカアドレスレジスタ213、共通書き込み／読み出しアドレス演算器214、及び加算器215、216を含む。

【0049】

加算器215は次のアンカアドレスレジスタ212の次のアンカアドレスnext_anchor[9, 0]とラインオフセットレジスタ223に貯蔵されたラインオフセットline_offset[9, 0]との合計を出力する。加算器216は、次のアンカアドレスレジスタ212に貯蔵されたアンカアドレスnext_anchor[9, 0]が水平方向ピクセル数640-1すなわち、639より大きければ、次のアンカアドレスnext_anchor[9, 0]から639を引く。

【0050】

マルチブレクサ211は初期化信号initがアクティブされる時に0を、カウンタ_bk202からのブロックインデックスiが増加する時に、ブロックアドレス演算器232からのブロックアドレスblock_addr[9, 0]を、そして水平方向インデックスhhがオーバーフローされる時(すなわち、hh=8である時)に加算器215、216からの出力を順次に次のアンカアドレスレジスタ212に提供する。図面に示さないが、前記初期化信号initは例えば、カメラプロセッサ110から提供される水平同期信号の8周期ごとに同期されてアクティブされる信号である。

10

【0051】

アンカアドレスレジスタ213は垂直方向インデックスvvがオーバーフローされる時(すなわち、vv=8である時)に、次のアンカアドレスレジスタ212からの次のアンカアドレスnext_anchor[9, 0]を受け入れる。アドレス演算器214はアンカアドレスレジスタ213に貯蔵されたアンカアドレスanchor[9, 0]を左に3回シフトし、水平方向インデックスhhが増加するごとにシフトされたアンカアドレスanchor[9, 0]<<3に水平方向インデックスhhを加える。アドレス演算器213で演算されたアドレスが前記共通書き込み／読み出しアドレスADDRになる。図4を参照すると、ラインメモリ_Y130は共通書き込み／読み出しアドレスに貯蔵された画像データを出力する。JPEGエンジン140は出力イネーブル信号PELO_ENに応答してラインメモリ_Y130から出力された画像データを受け入れる。

20

【0052】

再び図6を参照すると、ラインオフセット発生器220はマルチブレクサ221、次のラインオフセットレジスタ222、ラインオフセットレジスタ223、及び加算器224、225を含む。加算器224は次のラインオフセットレジスタ222に貯蔵された次のラインオフセットnext_line_offset[9, 0]とラインオフセット223に貯蔵されたラインオフセットline_offset[9, 0]を加える。加算器225は次のラインオフセットレジスタ222に貯蔵された次のラインオフセットnext_1_line_offset[9, 0]が水平方向ピクセル数640-1すなわち、639より大きければ、次のラインオフセットnext_1_line_offset[9, 0]から639を引く。マルチブレクサ221は初期化信号initがアクティブされる時に0を、垂直方向インデックスvvがオーバーフローされる時(すなわち、vv=8である時)に加算器224、225の出力を順次に選択して次のラインオフセットレジスタ222に提供する。ラインオフセットレジスタ223はブロックインデックスiがオーバーフローされる時(すなわち、i=80である時)に、次のラインオフセットレジスタ222に貯蔵された次のラインオフセットnext_1_line_offset[9, 0]を受け入れる。

30

40

【0053】

ブロックアドレス発生器230はマルチブレクサ231、ブロックアドレスレジスタ232、ブロックオフセットレジスタ235、及び加算器233、234を含む。加算器233はブロックアドレスレジスタ232に貯蔵されたブロックアドレスblock_addr[9, 0]とブロックオフセットレジスタ235に貯蔵されたブロックオフセットblock_offset[9, 0]を加える。加算器234はブロックアドレスレジスタ232に貯蔵されたブロックアドレスblock_addr[9, 0]が639より大きい時に

50

、ブロックアドレス $b1ock_addr[9, 0]$ から 639 を引く。マルチプレクサ 231 は初期化信号 $init$ がアクティブされる時に 0 を、そして垂直方向インデックス v がオーバーフローされる時(すなわち、 $v = 8$ である時)に、加算器 233、234 からの出力を順次に選択してブロックアドレスレジスタ 232 に提供する。

【0054】

さらに具体的に、図 6 乃至図 7 を参照して本発明の動作に関して説明する。本発明に関するより明確な理解のために、 $80 * 8$ ピクセルを貯蔵することができるラインメモリを一例として説明する。

【0055】

図 7 はカメラプロセッサ 110 から出力される画像データを示す図面である。図 7 で、カメラプロセッサ 110 の水平解像度は 80 であり、垂直解像度は 32 である。 $80 * 8$ ピクセル画像データを貯蔵するラインメモリを含むシステムで…フェーズは $80 * 8$ の大きさを有するので、一画面は 4 個のフェーズを含む。各フェーズは 80 個のセグメントを含む。セグメントはブロックを構成する水平方向の 8 個のピクセルからなるラインをいい、セグメント S0 ~ S79 の各数字はカメラプロセッサ 110 から出力される画像データの順序を意味する。

【0056】

図 8 乃至図 11 は $80 * 8$ ピクセルを貯蔵することができるラインメモリに図 7 に示したセグメントが読み出し／書き込まれる順序を示す図面である。図面で、ラインメモリ及びアドレスバッファのアドレスは左から右に、上から下に向かうほど増加する。

10

20

30

40

【0057】

カメラプロセッサ 110 で出力される $80 * 8$ ピクセル画像データ(フェーズ 1)はラインメモリ $_Y130$ のアドレス 0 から始めて 640 まで順次に書き込まれる。すなわち、80 個のセグメント S0 ~ S79 が図 8 に示したように順次に貯蔵される。例えば、セグメント S0 はピクセル 0 ~ 7 を含み、セグメント S1 はピクセル 8 ~ 15 を含み、セグメント 10 はピクセル 80 ~ 87 を含む。この時に、8 個のピクセルごとに発生する(すなわち、毎 8 ピクセルの間一定の値を維持する)アンカアドレス 0 ~ 79 が図 6 に示したように、アンカアドレスレジスタ 213 に貯蔵される。アンカアドレス 0 ~ 79 は最初の 8 ラインの画像データ($80 * 8$ ピクセル)が単一ラインメモリ $_Y130$ に順次に貯蔵される時に、各セグメントの一番目のピクセルが貯蔵されるアドレスを 8 で割った値に該当する。したがって、アンカアドレスに 8 を掛ければ、セグメントの一番目のピクセルが貯蔵されるラインメモリ $_Y130$ のアドレスと一致する。図 8 で、斜線部分はフェーズ 1 に対するブロックスキャン単位に読み出される一番目のブロック $8 * 8$ である。

【0058】

生成された共通読み出し／書き込みアドレスを参照して図 9 に示したラインメモリからフェーズ 1 に対するブロック単位読み出しが実行されると同時に、新しい 8 ラインの画像データ(フェーズ 2)が書き込まれる。この時に、生成されるアンカアドレスは 0、10、20、…、70、1、11、21、…、71、…、9、19、29、…、79 の順序である。図 9 で、斜線部分はフェーズ 2 に対するブロックスキャン単位に読み出される一番目のブロック $8 * 8$ である。

【0059】

続いて、共通読み出し／書き込みアドレスを参照して図 10 に示したラインメモリからフェーズ 2 に対するブロック単位読み出しが実行されると同時に、新しい 8 ラインの画像データ(フェーズ 3)が書き込まれる。この時に、生成されるアンカアドレスは 0、21、42、63、…、68、10、31、52、…、78、…、11、32、53、…、79 の順序である。図 10 で、斜線部分はフェーズ 3 に対するブロックスキャン単位に読み出される一番目のブロック($8 * 8$)である。

【0060】

共通読み出し／書き込みアドレスを参照して図 11 に示したラインメモリからフェーズ 3 に対するブロック単位読み出しが実行されると同時に、新しい 8 ラインの画像データ(

50

フェーズ4)が書き込まれる。この時に、生成されるアンカアドレスは0、52、25、77、…、73、46、31、52、…、78、…、11、32、53、…、79の順序である。図11で、斜線部分はフェーズ4に対するブロックスキャン単位に読み出される一番目のブロック(8*8)である。

【0061】

最後のフェーズであるフェーズ4がラインメモリ_Y130に記録された後には、生成された共通読み出し／書き込みアドレスを参照してラインメモリ_Y130に対する読み出し動作のみが実行される。

【0062】

上述の本発明によると、カメラプロセッサ110から出力される一番目のフェーズの画像データがラインメモリ_Y130に貯蔵される。生成された共通読み出し／書き込みアドレスを参照してラインメモリ_Y130から一番目のフェーズの画像データが読み出された後に、カメラプロセッサ110から出力される二番目のフェーズの画像データがラインメモリ_Y130に貯蔵される。この時に、共通読み出し／書き込みアドレスは、読み出される画像データが属するブロックのアドレス、ブロックのオフセット及びラインオフセットに基づいて前記ラインメモリに対して発生され、これによって、ラスタスキャン順序とブロックスキャン順序との間の画像データ変換を、一つのラインメモリを利用して容易に実現することができる。

10

【0063】

共通読み出し／書き込みアドレスADD Rを発生する他のアルゴリズムの例が下の数式20
4に記載されている。

【0064】

(数式4)

```

n o _ h o r _ b k = 6 4 0 >> 3 ;
n o _ s i z e = n o _ h o r _ b k << 3 - 1 ;
b l o c k _ o f f s e t = 1 ;
l i n e _ o f f s e t = n o _ h o r _ b k ;

w h i l e (! f i n i s h e d){
    f o r (i = 0 ; i < n o _ h o r _ b k ; i ++){
        f o r (v v = 0 ; v v < 8 ; v ++){
            a n c h o r = (b l o c k _ o f f s e t * i +
l i n e _ o f f s e t * v ) % n o _ s i z e ;
            i f (v v == 7 & & i = n o _ h o r _ b k - 1)
a n c h o r = n o _ s i z e ;
            f o r (h h = 0 ; h h < 8 ; h ++){
                a d d r = a n c h o r << 3 + h h ,
            }
        }
    }
    b l o c k _ o f f s e t = l i n e _ o f f s e t ;
    l i n e _ o f f s e t = (l i n e _ o f f s e t * n o _ h o r _ b k ) % n
o _ s i z e ;
}

```

30

【0065】

ここで、addrは共通書き込み／読み出しアドレスADD Rであり、iはブロックインデックス、hhは水平方向インデックス、vvは垂直方向インデックスである。no_hor_bkは一フェーズに属するブロックの数H/h=640/8であり、no_sizeは水平方向ピクセルの数-1を示す。前記数式3で640に代えて他の値を使用すると、処理しようとする画像の大きさに符合する共通読み出し／書き込みアドレスが生成さ

50

れる。次の数式でもインデックスは数式3及び数式4と同一に使用される。

【0066】

数式4のアルゴリズムは3個の乗算器を使用するようになっているが、これを次の数式5のように修正することができる。

【0067】

(数式5)

```

n o _ h o r _ b k = 6 4 0 >> 3 ;
n o _ s i z e = n o _ h o r _ b k << 3 - 1 ;
b l o c k _ o f f s e t = 1 ;
l i n e _ o f f s e t = n o _ h o r _ b k ;           10

w h i l e ( ! f i n i s h e d ) {
    b l o c k _ a d d r = 0 ;
    f o r ( i = 0 , i < n o _ h o r _ b k ; i + + ) {
        l i n e _ a d d r = 0 ;
        f o r ( v = 0 ; v < 8 ; v + + ) {
            a n c h o r = ( b l o c k _ a d d r + l i n e _ a d d r ) % n o _ s i z e ;
            i f ( v == 7 & & i == n o _ h o r _ b k - 1 ) a n c h o r = n o _ s i z e ;           20
            f o r ( h = 0 , h < 8 , h + + ) {
                a d d r = a n c h o r << 3 + h ;
            }
            l i n e _ a d d r += l i n e _ o f f s e t ;
        }
        b l o c k _ a d d r += b l o c k _ o f f s e t ;
    }
    b l o c k _ o f f s e t = l i n e _ o f f s e t ;
    l i n e _ o f f s e t ( l i n e _ o f f s e t * n o _ h o r _ b k ) % n o _ s i z e ;           30
}

```

【0068】

数式5のアルゴリズムでブロックアドレスb l o c k _ a d d rとラインアドレスl i n e _ a d d rの大きさが無制限に増加することを防止し、余りの演算子%を減らすために次の数式6のように修正することができる。

【0069】

(数式6)

```

n o _ h o r _ b k = 6 4 0 >> 3 ;
n o _ s i z e = n o _ h o r _ b k << 3 - 1 ;
b l o c k _ o f f s e t = 1 ;
l i n e _ o f f s e t = n o _ h o r _ b k ;           40

w h i l e ( ! f i n i s h e d ) {
    b l o c k _ a d d r = 0 ;
    f o r ( i = 0 ; i < n o _ h o r _ b k ; i + + ) {
        l i n e _ a d d r = 0 ;
        f o r ( v = 0 ; v < 8 ; v + + ) {
            a n c h o r = ( b l o c k _ a d d r + l i n e _ a d d r ) % n o _ s i z e ;           50
            i f ( a n c h o r >= n o _ s i z e ) a n c h o r =

```

```

= no_size;
    if(v == 7 && i == no_hor_bk - 1) an
chor = no_size;
    for(h = 0; h < 8; h++){
        addr = anchor << 3 + h;
    }
    line_addr += line_offset;
    if(line_addr >= no_size) line
    _addr -= no_size;
}
block_addr += block_offset;
if(block_addr >= no_size) block_a
ddr -= no_size;
}
block_offset = line_offset;
line_offset = (line_offset * no_hor_bk
)% no_size;
}
【0070】

```

数式6のアルゴリズムではアドレスaddrを出力する前に、アンカアドレスanchorを計算するようになっているが、効率的なハードウェア実現のために前記数式3のように修正することができる。したがって、少ないハードウェアで計算時間が短縮されたアルゴリズムは数式3である。

【0071】

このような本発明の画像処理装置及び方法によると、ラスタスキャン順序及びブロックスキャン順序との間の画像データ変換が一つのラインメモリを利用して実現されるので、既存に比べて要求されるラインメモリの大きさが半分に減少する。

【0072】

一方、本発明は多数の成分を有するカラー信号に対応するために、特定のクロマフォーマット(chroma format)(例えば、4：2：2、4：4：4など)に適するようライセンメモリの大きさは変更することができる。例えば、4：2：2フォーマットの場合に、ライセンメモリの大きさはH*2*8になり、4：4：4フォーマットの場合に、ライセンメモリの大きさはH*3*8になる。

【0073】

例示的な望ましい実施形態を利用して本発明を説明したが、本発明の範囲は開示された実施形態に限定されないということがよく理解されるであろう。したがって、請求範囲はそのような変形例及びその類似の構成全部を含むことで、可能な限り幅広く解釈されなければならない。

【図面の簡単な説明】

【0074】

【図1】通常のVGA標準の画像処理装置を概略的に示したブロック図である。

【図2】カメラプロセッサからの画像データがラスタスキャン順序にライセンメモリに書き込まれることを示す図面である。

【図3】ライセンメモリに貯蔵された画像データがブロックスキャン順序に読み出されることを示す図面である。

【図4】本発明の望ましい実施形態による画像データ処理装置を示すブロック図である。

【図5】図4に示した画像データ処理装置の動作を説明するためのタイミング図である。

【図6】図4に示したアドレス発生回路の望ましい実施形態を示す図面である。

【図7】カメラプロセッサから出力される画像データを示す図面である。

【図8】80*8ピクセルを貯蔵することができるライセンメモリに図7に示したセグメン 50

トが読み出し／書き込まれる順序を示す図面である。

【図 9】
80 * 8 ピクセルを貯蔵することができるラインメモリに図 7 に示したセグメントが読み出し／書き込まれる順序を示す図面である。

【図 10】
80 * 8 ピクセルを貯蔵することができるラインメモリに図 7 に示したセグメントが読み出し／書き込まれる順序を示す図面である。

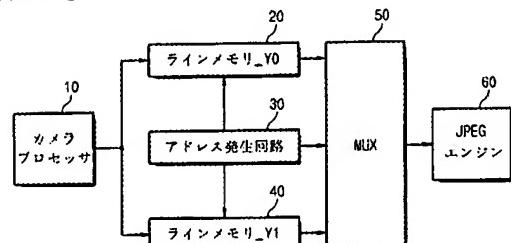
【図 11】
80 * 8 ピクセルを貯蔵することができるラインメモリに図 7 に示したセグメントが読み出し／書き込まれる順序を示す図面である。

【符号の説明】

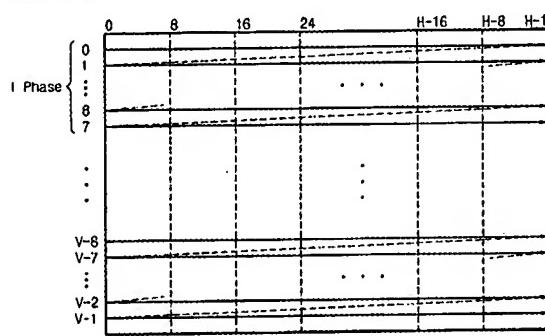
【0075】

100	画像データ処理装置	10
110	カメラプロセッサ	
120	アドレス発生器	
130	メモリ	
140	JPEG エンジン	
201, 202	カウンタ	
210	アドレス発生器	
220	ラインオフセット発生器	
230	ブロックアドレス発生器	
211, 221, 231	マルチプレクサ	
212, 213, 222, 232, 235	レジスタ	20
215, 216, 224, 233, 234	加算器	
214	演算器	

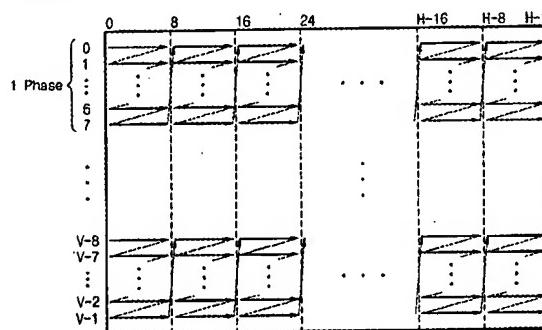
【図 1】



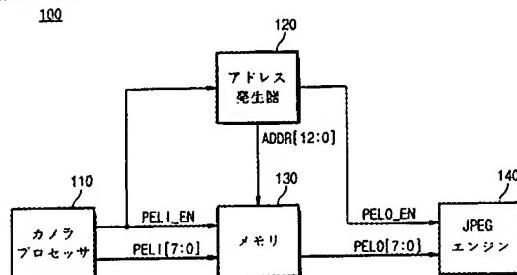
【図 2】



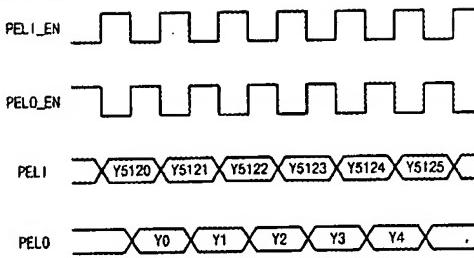
【図 3】



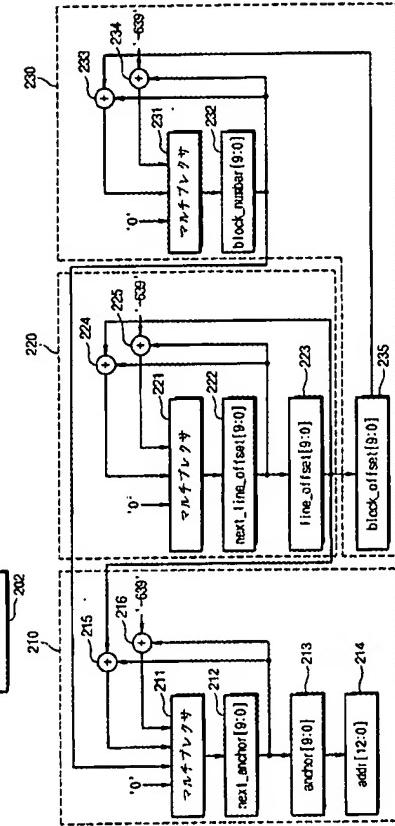
【図 4】



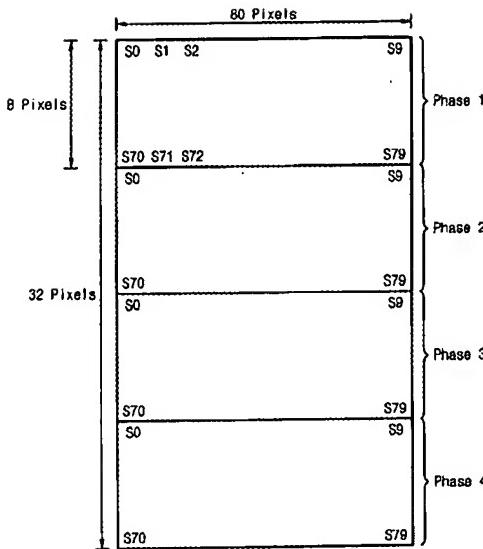
〔圖 5〕



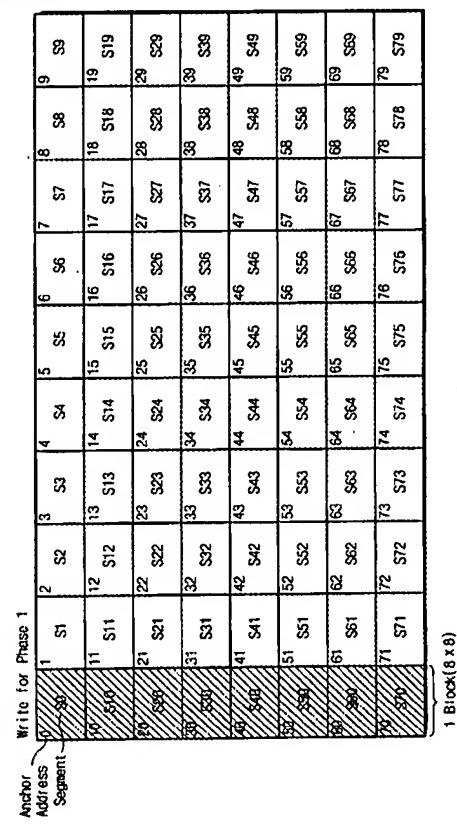
〔図6〕



[図 7]



[四 8]



【図 9】

【図 1】

		Read for Phase 3				Write for Phase 4				Read for Phase 1				Write for Phase 2				
		Anchor Address Segment																
10	S64	11	S23	12	S61	13	S36	14	S35	15	S73	16	S32	17	S29	18	S67	19
20	S69	21	S8	22	S46	23	S5	24	S43	25	S28	26	S78	27	S37	28	S75	29
30	S34	31	S72	32	S31	33	S69	34	S28	35	S35	36	S63	37	S38	38	S76	39
40	S19	41	S87	42	S16	43	S44	44	S13	45	S45	46	S47	47	S48	48	S58	49
50	S4	51	S42	52	S1	53	S39	54	S77	55	S74	56	S33	57	S45	58	S59	59
60	S68	61	S27	62	S65	63	S24	64	S62	65	S21	66	S59	67	S38	68	S78	69
70	S53	71	S12	72	S54	73	S39	74	S47	75	S6	76	S44	77	S39	78	S71	79

【図 10】

		Read for Phase 2				Write for Phase 3				Read for Phase 1				Write for Phase 2				
		Anchor Address Segment																
10	S8	11	S8	12	S72	13	S57	14	S42	15	S12	16	S76	17	S61	18	S46	19
20	S16	21	S1	22	S65	23	S50	24	S35	25	S26	26	S5	27	S69	28	S34	29
30	S24	31	S32	32	S73	33	S58	34	S43	35	S28	36	S13	37	S77	38	S38	39
40	S32	41	S17	42	S2	43	S66	44	S51	45	S36	46	S21	47	S6	48	S76	49
50	S48	51	S25	52	S50	53	S74	54	S55	55	S44	56	S29	57	S14	58	S78	59
60	S48	61	S33	62	S18	63	S3	64	S67	65	S52	66	S37	67	S22	68	S7	69
70	S56	71	S41	72	S26	73	S11	74	S75	75	S61	76	S46	77	S50	78	S15	79